1. Всего предусмотрено в ПЛИС 3 регистра. Выбор регистров сигналами

A0\_Rg – младший бит адреса;

A1\_Rg;

A2\_Rg.

2. Назначение регистров согласно таблицы

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Наименование  регистра | Назначение регистра | A0\_Rg | A1\_Rg | A2\_Rg | Количество разрядов |
| RG0 | Установка вида развертки | 0 | 0 | 0 | 8 |
| RG1 | Установка параметров  имп. развертки (IMP+ IMP-) | 1 | 0 | 0 | 3 |
| RG2 | Установка параметров  имп. развертки (большой  ток ) | 0 | 1 | 0 | 5 |

3. Назначение битов регистра RG0 (D7-D4):

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| D7 | D6 | D5 | D4 | Развертка |
| 0 | 0 | 0 | 0 | Развертка выключена |
| 0 | 0 | 0 | 1 | SIN+ |
| 0 | 0 | 1 | 0 | SIN- |
| 0 | 0 | 1 | 1 | AC |
| 0 | 1 | 0 | 0 | DC- |
| 0 | 1 | 0 | 1 | DC+ |
| 0 | 1 | 1 | 0 | IMP+ (высокое напряжение) |
| 0 | 1 | 1 | 1 | IMP- (высокое напряжение) |
| 1 | 0 | 0 | 0 | IMP (осцииллограф) |
| 1 | 0 | 0 | 0 | IMP (ВАХ) |

Назначение битов регистра RG0 (D3-D0):

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| D3 | D2 | D1 | D0 | Количество кривых ВАХ  для разверток DC+, DC- |
| X | 0 | 0 | 0 | 1 |
| X | 0 | 0 | 1 | 2 |
| X | 0 | 1 | 0 | 4 |
| X | 0 | 1 | 1 | 8 |
| X | 1 | 0 | 0 | 10 |
| X | 1 | 0 | 1 | 10 |
| X | 1 | 1 | 0 | 10 |
| X | 1 | 1 | 1 | 10 |

4. Назначение битов регистра RG1 (D2-D0):

|  |  |  |  |
| --- | --- | --- | --- |
| D2 | D1 | D0 | Длительность импульса  для разверток Imp+,Imp- (высокое напряжение) |
| 0 | 0 | 1 | 0,2 мс |
| 0 | 1 | 0 | 1,0 мс |
| 1 | 0 | 0 | 2,0 мс |
| Для остальных значений | | | 0,2 мс |

5. Назначение битов регистра RG2 (D1-D0):

|  |  |  |
| --- | --- | --- |
| D1 | D0 | Длительность импульса  для разверток Imp+,Imp- (большой ток) |
| 0 | 0 | 10 мкс |
| 0 | 1 | 20 мкс |
| 1 | 0 | 50 мкс |
| 1 | 1 | 100 мкс |

Назначение битов регистра RG2 (D4-D2):

|  |  |  |  |
| --- | --- | --- | --- |
| D4 | D3 | D2 | Значение N |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 2 |
| 0 | 1 | 1 | 3 |
| 1 | 0 | 0 | 4 |
| 1 | 0 | 1 | 5 |
| 1 | 1 | 0 | 6 |
| 1 | 1 | 1` | 7 |

6. Доступ к регистрам **ПЛИС** осуществляется через последовательный

синхронный интерфейс, реализованный программными средствами

процессора. Используются сигналы выбора адреса регистра **A0\_Rg – A2\_Rg** – используются порты ввода/вывода процессора, сигнал последовательных данных **Dat\_RG**, сигнал синхронизации – **CLK\_RG**. Прием данных в **ПЛИС** буферизирован – данные сначала записываются в сдвиговый регистр, а за тем по сигналу **WR\_RG** переписываются в рабочие регистры **ПЛИС**. Передача данных в сдвиговый регистр начинается со старшего бита. Последовательность записи:

- сначала устанавливается адрес регистра;

- по битно записываются данные положительным фронтом сигнала –

**CLK\_RG** – в исходном состоянии должен быть установлен в

состояние лог. **“0 “;**

- после передачи последовательных данных в сдвиговый регистр

сигналом **WR\_RG** данные записываются в регистры **ПЛИС**.

**WR\_Rg** в исходном состоянии должен быть установлен в лог.

**“0 “**

Предусмотреть задержки не менее 1 мкс. после изменения сигналов

передачи данных.

7. В приборе предполагается два режима развертки:

- однократный режим, по команде START формируется один сигнал “СБОР”,

“ENS”;

- автоматический режим, в этом режиме STM32F4 по окончанию передачи

данных из памяти ПЛИС должен записать данные в ЦАП блоков

и сформировать сигнал START для ПЛИС.